

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年12月9日 (09.12.2004)

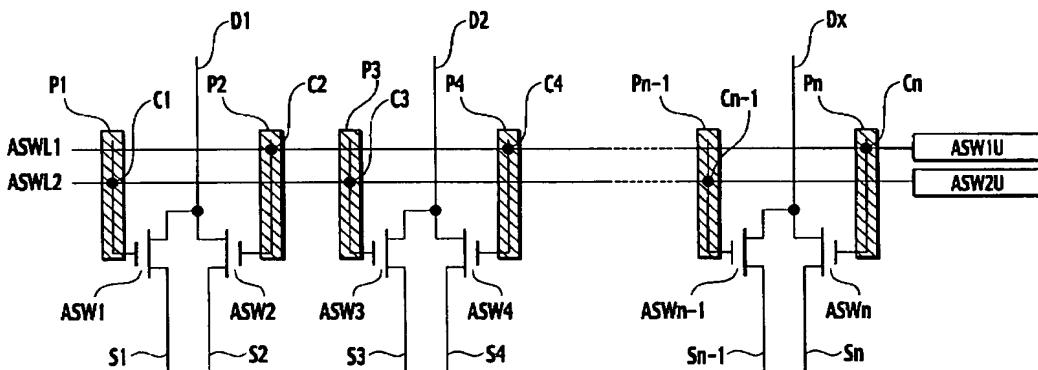
PCT

(10) 国際公開番号
WO 2004/107030 A1

- (51) 国際特許分類: G02F 1/1345, G09F 9/30 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (21) 国際出願番号: PCT/JP2004/007372
- (22) 国際出願日: 2004年5月28日 (28.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-155018 2003年5月30日 (30.05.2003) JP
- (71) 出願人(米国を除く全ての指定国について): 東芝松下ディスプレイテクノロジー株式会社 (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.) [JP/JP]; 〒1080075 東京都港区港南4丁目1番8号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 山本 光浩 (YAMAMOTO, Mitsuhiro) [JP/JP].
- (74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001 東京都港区虎ノ門1丁目2番3号 虎ノ門第1ビル 9階 Tokyo (JP).
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BE, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

(54) Title: ARRAY SUBSTRATE FOR FLAT DISPLAY DEVICE

(54) 発明の名称: 平面表示装置用アレイ基板



(57) Abstract: An array substrate for a flat display device should eliminate display irregularities attributed to non-uniformity of parasitic capacity in each switch of a signal line switching circuit. Each electrode pattern (P) for connecting each gate electrode of each switch (ASW) to one of the switch control signal lines (ASWL1 and ASWL2) is superimposed plainly on all of the switch control signal lines (ASWL) and formed substantially into an identical shape having an identical area of the electrode pattern (P).

(57) 要約: 本平面表示装置用アレイ基板は、信号線切替回路の各スイッチにおける寄生容量の不均一による表示ムラの解消を課題とする。各スイッチASWの各ゲート電極を複数のスイッチ制御信号線ASWL1及びASWL2のいずれかに接続する各電極パターンPを、スイッチ制御信号線ASWLのすべてと平面的に重複し且つ実質的に同一の形状となるように形成し、電極パターンPの面積が同一となるようにする。

WO 2004/107030 A1

明細書

平面表示装置用アレイ基板

技術分野

[0001] 本発明は、平面表示装置用アレイ基板に関し、詳しくは、信号線駆動回路の電極構造に関する。

背景技術

[0002] ワープロ、パーソナルコンピュータ及び携帯テレビなどでは、薄型で軽量の平面表示装置が広く用いられている。とくに液晶表示装置は、薄型、軽量及び低消費電力化が容易なことから、盛んに開発が行われており、高解像度で大画面サイズのものが比較的低価格で手に入るようになってきている。

[0003] 液晶表示装置の中でも、信号線と走査線の各交点付近にスイッチング素子として薄膜トランジスタ(TFT:Thin Film Transistor)を配置したアクティブマトリクス型の液晶表示装置は、発色性に優れ、残像が少ないとことから、今後の主流になると考えられている。

[0004] アモルファスシリコンTFTを用いた液晶表示装置では、信号線駆動用IC及び走査線駆動用ICをフレキシブル配線基板上に実装して構成されたテープ・キャリア・パッケージ(TCP)が用いられている。このTCPをアレイ基板の外部接続端子に電気的に接続することによって、信号線駆動用IC及び走査線駆動用ICがアレイ基板上の各画素電極にそれぞれ電気的に接続され、画素トランジスタが駆動される。

[0005] このアモルファスシリコンTFTを用いた液晶表示装置では、アレイ基板上の各信号線にTCPから映像信号を供給するために多数の接続配線が必要となるため、画素の高精細化を図る場合に接続配線間に十分なピッチを確保することが困難となる。そこで、例えば特開2001-109435号公報に記載の技術が知られている。この技術は、信号線駆動回路を、アレイ基板上に形成した切替回路とTCP上に実装された信号線駆動用ICとで構成し、隣接する2つの信号線と信号線駆動用ICからの1つの接続配線とを、切替回路内の1対のスイッチにより1水平走査期間内で切り換えて接続することにより、2つの信号線に時分割で映像信号を供給するものである。

- [0006] 上記の切替回路において、1対のスイッチの各ソース電極は共に信号線駆動用ICからの共通の接続配線にそれぞれ接続され、各ドレイン電極は隣接する別々の信号線にそれぞれ接続され、各ゲート電極は別々のスイッチ制御信号線に接続される。そして、各ゲート電極に供給されるスイッチ制御信号により、接続配線に接続される信号線の切り替えが行なわれる。
- [0007] スイッチのゲート電極とスイッチ制御信号線は電極パターンにより接続される。この電極パターンは、スイッチ制御信号線に接続するコンタクトホールの位置に合わせてレイアウトされる。このため、1対のスイッチについて見てみると、各スイッチ制御信号線からそれぞれのゲート電極までの長さが左右のスイッチで異なり、電極パターンの面積にも差が生じることから、寄生容量が不均一なものとなる。このため、隣接する画素間においてデータ信号の充電時間が異なり、表示ムラの要因となることがあった。
- [0008] また、上記のようなレイアウトでは、長さの異なる電極パターンが交互に連続しているため、長さの違いを見つけにくく、目視によりパターン異常を発見しにくいという問題があった。
- [0009] さらに、電極パターンとスイッチ制御信号線との接続を変える場合は、コンタクトホール形成レイヤの変更だけでなく、電極パターンも変更しなければならず、これに伴い複数のマスクを変更しなければならないため、設計変更に費用がかかり、接続形態の異なる他の駆動方式への変更に柔軟に対応することが難しいという問題があった。

発明の開示

- [0010] 第1の本発明の平面表示装置用アレイ基板は、マトリクス状に配線された複数の信号線及び複数の走査線の各交差部に画素が配置された表示部と、各信号線にデータ信号を出力する複数の出力線と、各々の出力線を1水平期間内にn(n:2以上の整数)本の信号線に切り替え接続するために出力線と信号線との間に配置された複数のスイッチと、各スイッチの制御電極にオン・オフ制御用の制御信号を供給するn本のスイッチ制御信号線と、各スイッチの制御電極をn本のスイッチ制御信号線のいずれかにそれぞれ接続する複数の電極パターンと、を備え、各電極パターンの形状が、スイッチ制御信号線のすべてと平面的に重畠し且つ実質的に同一の形状であることを特徴とする。

- [0011] 本発明では、スイッチの制御電極とスイッチ制御信号線とを接続する電極パターンの形状を、スイッチ制御信号線のすべてと平面的に重畳し且つ実質的に同一の形状とする。これにより、すべてのスイッチにおいて寄生容量が均一となるので、寄生容量の不均一による表示ムラを解消することができ、良好な表示特性を得ることができる。また、電極パターンの長さの違いを見つけやすく、目視によるパターン異常を容易に発見することができ、パターン異常の早期発見によって工程歩留まりを向上させることができる。
- [0012] 第2の本発明は、上記平面表示装置用アレイ基板において、前記電極パターンと前記スイッチ制御信号線は、絶縁層を介して積層されたものであって、両者は絶縁層に形成されたコンタクトホールにより電気的に接続されることを特徴とする。
- [0013] 本発明では、電極パターンとスイッチ制御信号線とをコンタクトホールにより電気的に接続する。これにより、コンタクトホールの形成レイヤを変更するだけで、電極パターンとスイッチ制御信号線との接続位置を変更でき、設計変更にかかるコストを低減できる。また、接続形態の異なる他の駆動方式への変更にも柔軟に対応できる。

図面の簡単な説明

- [0014] [図1]—実施形態の平面表示装置の構成を示す回路図である。
[図2]図1に示す信号線切替回路の構成を示す回路図である。
[図3]比較例の信号線切替回路の構成を示す回路図である。

発明を実施するための最良の形態

- [0015] 以下、本発明の実施形態について図面を参照しながら説明する。
- [0016] 図1の回路図に示すように、本実施形態の平面表示装置は、アレイ基板100上の表示部101に、走査線G1—Gm(以下、適宜「走査線G」という)と、信号線S1—Sn(以下、適宜「信号線S」という)がマトリクス状に配線されており、走査線Gと信号線Sの各交差部に画素が配置される。各画素は、画素トランジスタ102、画素電極103、補助容量106を備える。画素電極103と対向配置される共通電極104が、図示しない対向基板上に形成される。画素電極103と共通電極104との間には液晶層105が保持される。画素電極103には補助容量106が並列に接続される。補助容量106には、図示しない補助容量線を介して所定の補助容量電圧が与えられる。

- [0017] 表示部101の上端部には信号線駆動回路部111が配置される。表示部101の左右端部には走査線駆動回路115が接続される。表示部101は、4つのブロックに分割されており、信号線Sはブロック毎に所定数の信号線群に区分される。各信号線には、それぞれのブロック毎に配置された同一構成の信号線駆動回路部111からデータ信号が供給される。
- [0018] 信号線駆動回路部111は、4つの信号線駆動用IC112と、4つの信号線切替回路113とで構成される。信号線駆動用IC112は、後述の出力線にデータ信号を出力するとともに、各種信号を出力する。信号線切替回路113は、信号線駆動用IC112から供給されるデータ信号を1水平走査期間内で各信号線群における総ての信号線に切り替えて出力する。信号線駆動用IC112は、TCP120-1～120-4に実装され、信号線切替回路113は、アレイ基板100上に形成される。TCP120-1～120-4は、その一方の側辺がアレイ基板100の一辺に形成された外部接続端子に接続され、他方の側辺が外部駆動回路200に接続される。
- [0019] 走査線駆動回路115は、画素トランジスタ102を導通させて信号線Sから画素電極103へデータ信号を書き込むための走査信号を、走査線G1～Gmに順次出力する。走査線駆動回路115は、アレイ基板100上に実装される。
- [0020] 外部駆動回路200には、コントロールIC201、及び図示しない電源回路やインターフェース回路などが実装される。
- [0021] コントロールIC201は、外部から入力されるデータ信号を各信号線への出力順に従って並び替えて出力するほか、データ信号と同期して入力される基準クロック信号に基づいて各種タイミング信号、クロック信号、制御信号などを生成して出力する。より具体的には、コントロールIC201は、走査線駆動回路115にはスタート信号、クロック信号を供給し、信号線駆動用IC112には並び替えたデータ信号、レジスタ制御信号、クロック信号、ロード信号などを供給する。
- [0022] またコントロールIC201は、本実施の形態におけるスイッチのオン・オフ制御用の制御信号(スイッチ制御信号)の制御機能を含み、信号線切替回路113にスイッチ制御信号を供給する。
- [0023] 上記のようなアレイ基板100を備えた液晶表示装置は、アレイ基板100と図示しな

い対向基板とを所定間隔をもって対向配置し、その周囲をシール材で貼り合わせ、アレイ基板100と対向基板との間に液晶層105を封入することで構成される。

- [0024] 図2の回路図に示すように、信号線切替回路113には、スイッチASW1, ASW2, ASW3, ASW4, …ASWn-1, ASWn(以下、適宜「ASW」又は「スイッチASW」という)が配置される。ここでは、一例としてスイッチASWはMOS構造のスイッチとする。各スイッチASWのドレイン電極には信号線S1, S2, S3, S4, …Sn-1, Snが接続される。信号線駆動用IC112からは出力線D1, D2, …Dx(以下、適宜「出力線D」という)が配線される。
- [0025] 各スイッチASWにより、各出力線Dは1水平期間内にn(n:2以上の整数)本の信号線Sに切り替え接続される。本実施形態では、一例としてnの値を2とする。1つの出力線Dが隣接する2つのASWの各ソース電極と共に接続される。
- [0026] すなわち、1つの出力線Dについて2つのASWが一対で配置され、2つのASWの各ソース電極は1つの共通の出力線Dに接続され、また各ドレイン電極は対応する別々の信号線Sにそれぞれ接続される。
- [0027] 信号線駆動用IC112から信号線切替回路113に対してn本のスイッチ制御信号線ASWLが配線される。ここでは、一例としてnの値は2であるので、信号線切替回路113は、2本のスイッチ制御信号線ASWL1, ASWL2(以下、適宜「ASWL」又は「スイッチ制御信号線ASWL」という)を有する。
- [0028] 各スイッチ制御信号線ASWL1, ASWL2は、各スイッチASW1, ASW2, ASW3, ASW4, …ASWn-1, ASWnのそれぞれの制御電極(ゲート電極)と1つおきにそれぞれ接続される。
- [0029] 本実施の形態におけるASWは、例えばn型のTFTとする。この場合、例えばスイッチ制御信号線ASWL1にハイ電位のスイッチ制御信号ASW1Uが供給されると、ASW2, ASW4, …ASWnがオンして、出力線D1, D2, …Dxに出力されたデータ信号が信号線S2, S4, …Snに供給される。
- [0030] 一方、スイッチ制御信号線ASWL2にハイ電位のスイッチ制御信号ASW2Uが供給されると、ASW1, ASW3, …ASWn-1がオンして、出力線D1, D2, …Dxに出力されたデータ信号が信号線S1, S3, …Sn-1に供給される。

- [0031] 本実施形態では、1水平走査期間内に2回のデータ書き込み期間が設けられている。例えば1回目のデータ書き込み期間ではスイッチ制御信号線ASWL1にハイ電位のスイッチ制御信号ASW1Uが供給され、2回目のデータ書き込み期間ではスイッチ制御信号線ASWL2にハイ電位のスイッチ制御信号ASW2Uが供給される。これにより、1水平走査期間で信号線S2, S4, …Snと、信号線S1, S3, …Sn-1とが切り替わり、1水平ライン分のデータ信号の画素電極への書き込みが可能となる。この様な駆動方式は信号線選択方式と呼ばれる。信号線選択方式の採用により、外部からアレイ基板100に接続される出力線Dの実装本数を削減することができる。
- [0032] 図2において、スイッチASW1, ASW2, ASW3, ASW4, …ASWn-1, ASWnの各ゲート電極と、スイッチ制御信号線ASWL1, ASWL2との間は、金属製の電極パターンP1, P2, P3, P4, …Pn-1, Pn(以下、適宜「電極パターンP」という)により接続される。
- [0033] 各電極パターンPは、スイッチ制御信号線ASWLの全てにそれぞれ平面的に重畠し且つ実質的に同一の形状となるように形成される。ここでは、nの値が2であるので、各スイッチAWSのゲート電極から延出された各電極パターンPは、1つおきに同一のスイッチ制御信号線ASWLに接続される。
- [0034] 電極パターンP1, P2, P3, P4, …Pn-1, Pnとスイッチ制御信号線ASWL1, 2とは、コンタクトホールC1, C2, C3, C4, …Cn-1, Cn(以下、適宜にコンタクトホールCという)により電気的に接続されている。電極パターンPとスイッチ制御信号線ASWLは、図示しない絶縁層を介して積層されており、この絶縁層に形成されるコンタクトホールCにより、電極パターンPは所定のスイッチ制御信号線ASWLとのみ電気的な導通を得る。
- [0035] 上記構成によれば、すべての電極パターンPが各スイッチ制御信号線ASWL1, ASWL2と平面的に重畠し且つ実質的に同一形状のパターンで形成されているので、電極パターンPの面積がほぼ同一となり、各スイッチASWの寄生容量もほぼ均一となる。
- [0036] 続いて、比較例の信号線切替回路の電極構成について説明する。図3に示すように、比較例の信号線切替回路では、スイッチ制御信号線ASWL1, ASWL2から左

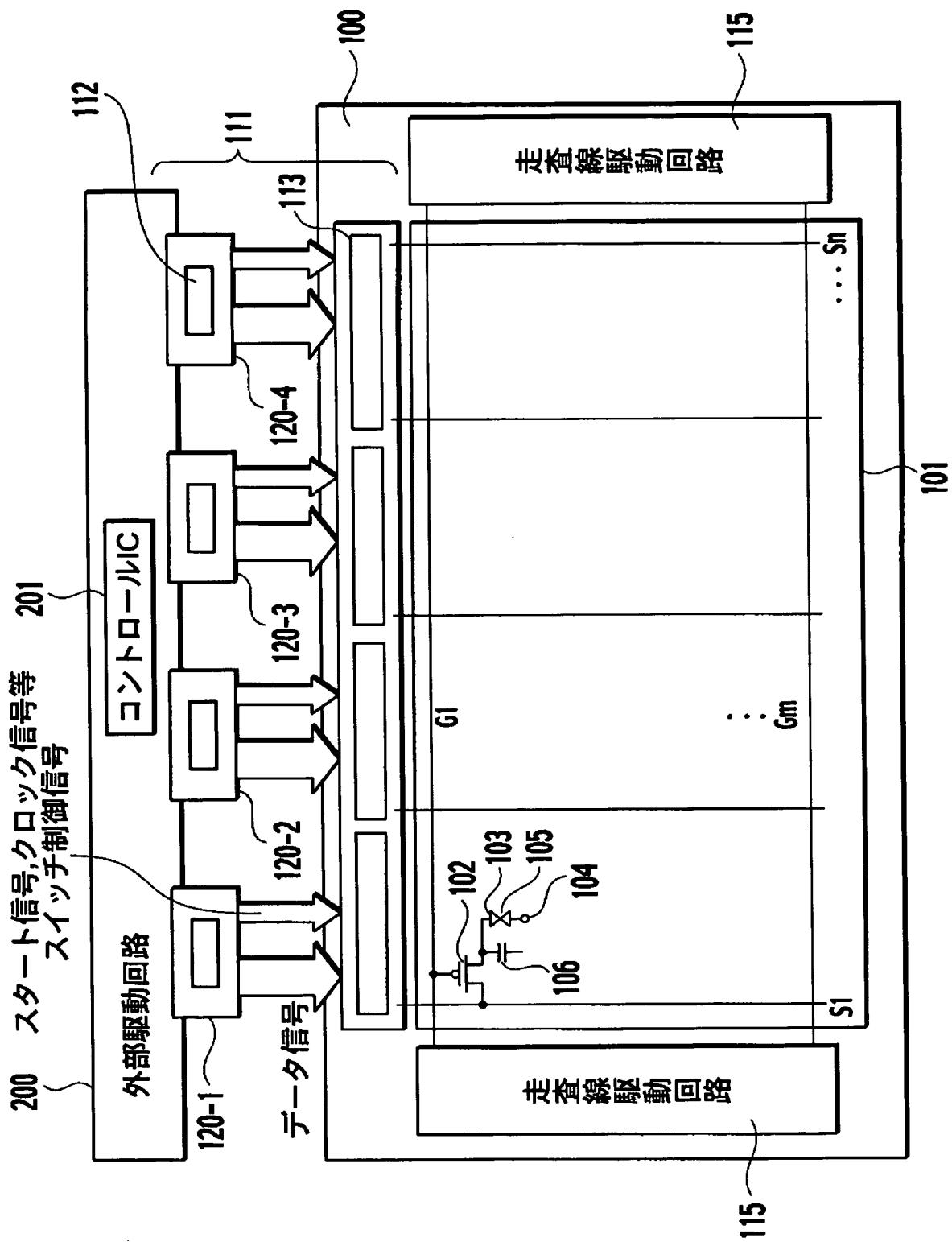
右一対のスイッチASWの各ゲート電極までの電極パターンの長さが左右で異なるため、電極パターンの面積にも差が生じ、この結果、左右のスイッチASWで寄生容量が不均一となっている。なお、図3では、図1と同等部分については図1と同一符号で示す。

- [0037] これに対し、本実施形態の電極構成によれば、すべてのASWにおいて寄生容量がほぼ均一となるので、隣接する画素におけるデータ信号の充電時間もほぼ等しくなり、表示ムラが解消して良好な表示特性を得ることができる。
- [0038] また、本実施形態の電極構成によれば、図2に示すように、同一形状の電極パターンが連続して配置されることになるため、長さの違いを見つけやすく、目視によるパターン異常を容易に発見することができる。これにより、パターン異常の早期発見が可能となるので、工程歩留まりを向上させることができる。
- [0039] さらに、電極パターンPとスイッチ制御信号線ASWLの電気的な接続は、コンタクトホールを形成する位置により適宜に設定することができるので、電極パターンPとスイッチ制御信号線ASWLとの接続を変える場合は、コンタクトホール形成レイヤだけを変更すればよく、メタルのパターンを変更する必要がない。これにより、複数のマスクを変更する必要がなく、設計変更にかかるコスト増を少なくすることができる。さらには、接続形態の異なる他の駆動方式への変更にも柔軟に対応できるようになり、回路設計の自由度を広げることが可能となる。
- [0040] 本実施の形態では、信号線駆動用IC112から取り出した1つの出力線Dを一対のスイッチASWで分岐して2本の信号線に接続する構成について説明したが、本発明はこれに限定されるものではない。1つの出力線Dをn(n:2以上の整数)個のASWで分岐してn本の信号線に接続する構成とすることができる。
- [0041] また、本実施の形態では、表示部101を4つのブロックに分割して、それぞれのブロック毎に信号線駆動用IC112と信号線切替回路113を配置した例について説明したが、本発明はこれに限定されるものではない。例えば、表示部101の分割数をさらに多くてもよいし、あるいは表示部101を分割せず单一としてもよい。

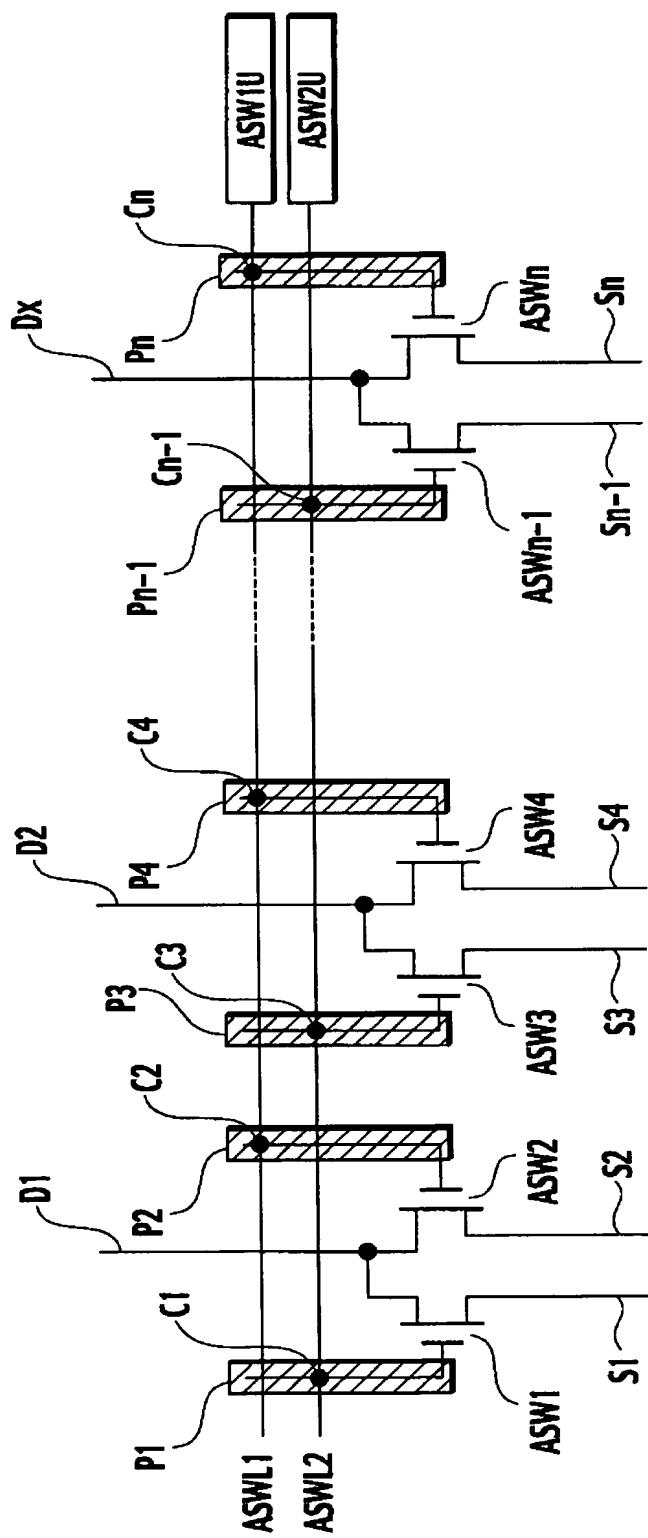
請求の範囲

- [1] マトリクス状に配線された複数の信号線及び複数の走査線の各交差部に画素が配置された表示部と、
各信号線にデータ信号を出力する複数の出力線と、
各々の出力線を1水平期間内にn(n:2以上の整数)本の信号線に切り替え接続するために出力線と信号線との間に配置された複数のスイッチと、
各スイッチの制御電極にオン・オフ制御用の制御信号を供給するn本のスイッチ制御信号線と、
各スイッチの制御電極をn本のスイッチ制御信号線のいずれかにそれぞれ接続する複数の電極パターンと、を備え、
各電極パターンの形状が、スイッチ制御信号線のすべてと平面的に重畳し且つ実質的に同一の形状であることを特徴とする平面表示装置用アレイ基板。
- [2] 前記電極パターンと前記スイッチ制御信号線は、絶縁層を介して積層されたものであって、両者は絶縁層に形成されたコンタクトホールにより電気的に接続されることを特徴とする請求項1の平面表示装置用アレイ基板。

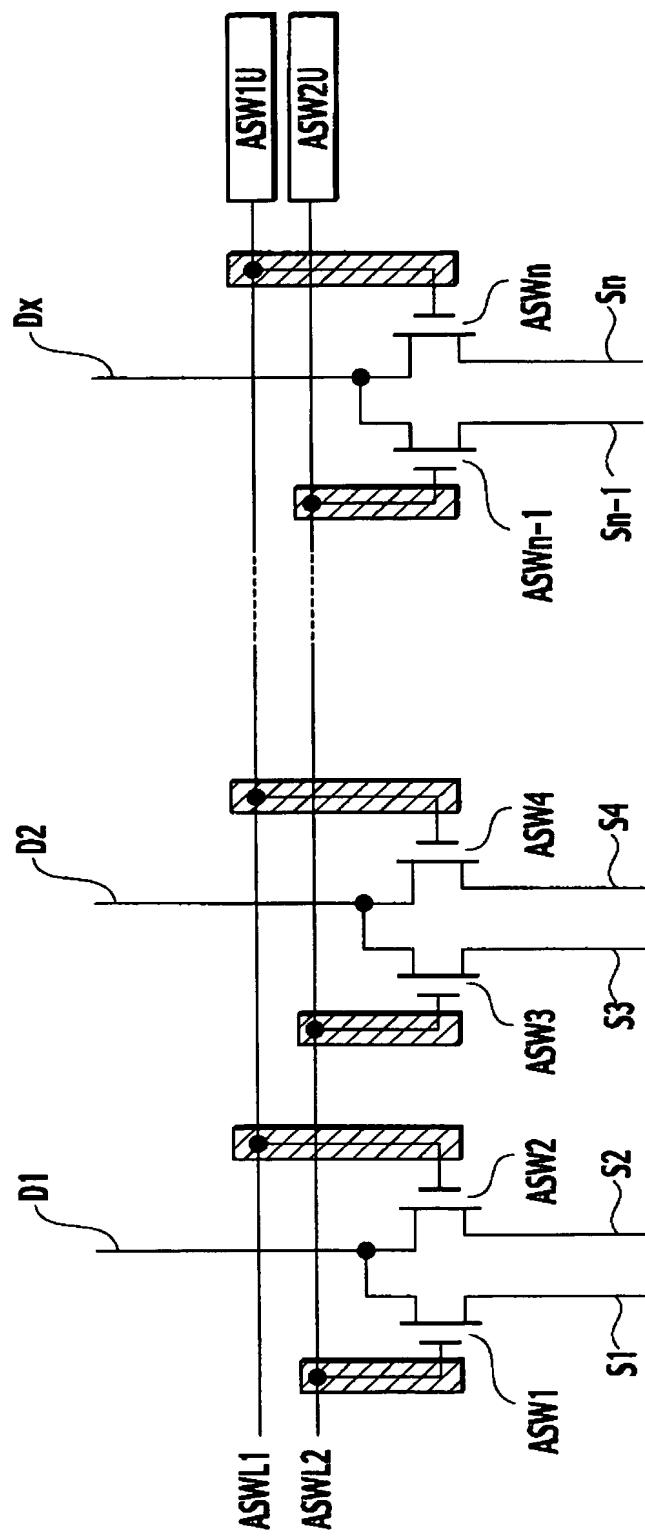
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007372

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G02F1/1345, G09F9/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G02F1/1345, G09F9/30Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-337657 A (Toshiba Corp.), 07 December, 2001 (07.12.01), Par. No. [0035]; Fig. 1 & US 2002/0018039 A1	1, 2
Y	JP 2001-356366 A (Sanyo Electric Co., Ltd.), 26 December, 2001 (26.12.01), Par. Nos. [0027] to [0038]; Fig. 1 (Family: none)	1, 2

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 August, 2004 (25.08.04)Date of mailing of the international search report
14 September, 2004 (14.09.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 G02F1/1345, G09F9/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 G02F1/1345, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-337657 A (株式会社東芝) 2001. 12. 07 【0035】、図1 & US 2002/0018039 A1	1, 2
Y	JP 2001-356366 A (三洋電機株式会社) 2001. 12. 26 【0027】-【0038】、図1 (ファミリーなし)	1, 2

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

25. 08. 2004

国際調査報告の発送日

14. 9. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

南 宏輔

2M 9306

電話番号 03-3581-1101 内線 3274